

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 7 月 21 日 (21.07.2005)

PCT

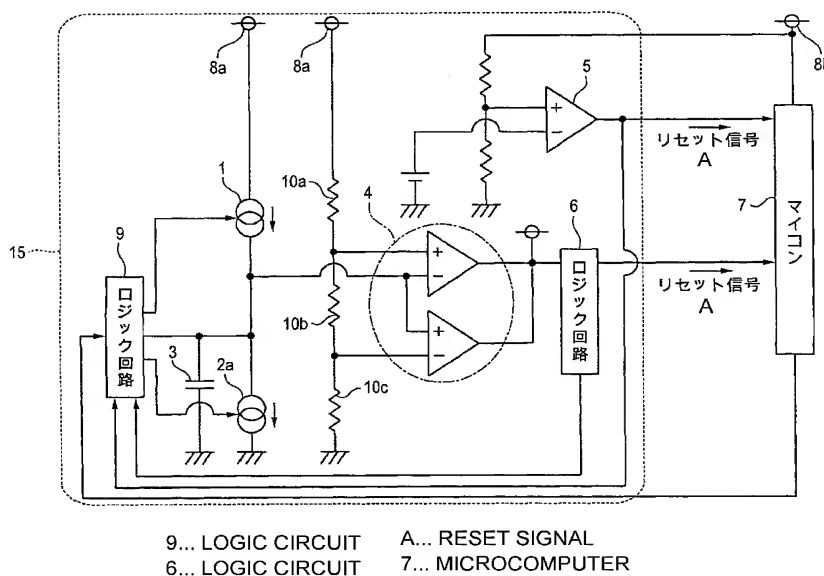
(10) 国際公開番号  
WO 2005/066742 A1

- (51) 国際特許分類: G06F 1/24, 11/30 (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2004/019485
- (22) 国際出願日: 2004 年 12 月 20 日 (20.12.2004) (72) 発明者; および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 西川 信広 (NISHIKAWA, Nobuhiro) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 猪上 浩樹 (INOUE, Hiroki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2003-432797 2003 年 12 月 26 日 (26.12.2003) JP  
特願 2004-285617 2004 年 9 月 30 日 (30.09.2004) JP
- (74) 代理人: 小栗 昌平, 外 (OGURI, Shohei et al.); 〒1076013 東京都港区赤坂一丁目 1 2 番 3 2 号 アーク森ビル 1 3 階 栄光特許事務所 Tokyo (JP).

[続葉有]

(54) Title: MONITORING CIRCUIT

(54) 発明の名称: 監視回路



9... LOGIC CIRCUIT A... RESET SIGNAL  
6... LOGIC CIRCUIT 7... MICROCOMPUTER

(57) Abstract: A monitoring circuit is characterized by preventing malfunction of a microcomputer comprising a capacitor, charging means for charging the capacitor, discharging means for discharging the capacitor, voltage comparing means for generating a signal for resetting the operation of an object being monitored by comparing the voltage of the charged capacitor with a constant reference voltage when the capacitor is charged and its voltage becomes higher than a predetermined voltage, power supply voltage judging means for monitoring the power supply voltage and resetting the operation of the object when the power supply voltage being monitored becomes lower than a predetermined value.

(57) 要約: コンデンサと、前記コンデンサを充電する充電手段と、前記コンデンサを放電する放電手段と、前記コンデンサが充電されることによって一定以上の電圧となった際に、一定のリファレンス電圧と前記コンデンサの充電電圧とを比較することにより監視対象の動作をリセットするための信号を発する電圧比較手段と、前記監視対象の電源電圧の監視

[続葉有]

WO 2005/066742 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 監視回路

#### <技術分野>

本発明はマイクロコンピュータ（以下、「マイコン」と称す）の異常動作を検出して自動的に回避処置をとらせるフェールセーフシステムに利用する有効な技術である監視回路に関するものである。

#### <背景技術>

マイコンが正常に動作しているかどうかを監視する方法として、監視回路がマイコンからの正常動作クロックの到達の有無を判断することによって行なう方法が一般的に行なわれる。このような方式のものとしては、特開 2 0 0 3 - 1 7 2 7 6 2 が挙げられる。

#### <発明の開示>

しかしこのような方式では、マイコンへの供給電圧が減電したときでも、監視回路がマイコンからの正常動作クロックを一定時間監視することによってのみしかマイコンが正常に動作していないことを検出することができない。このため、マイコンへの供給電源が減電するとき、マイコンをすぐさま安全にリセットすることができないので、電源が減電状態から安定状態に復帰したときにマイコンが動作復帰しても、減電により動作が中断したマイコンの内蔵するメモリやレジスタ等が原因でマイコンが誤動作をするおそれがある。

本発明は従来の前記実情に鑑み、従来の技術に内在する前記課題を解消する為になされたものであり、本発明は、減電時においてマイコンを安全にリセットすることができる監視回路、およびそのリセット解除区間を一定にすることができる監視回路、さらに前述の監視回路を備えた半導体装置、さらに前述の半導体装置を搭載した電子機器の提供を目的とする。

ここで、請求項 1 記載の発明は、コンデンサと、前記コンデンサを充電する充電手段と、前記コンデンサを放電する放電手段と、前記コンデンサが充電される

ことによって一定以上の電圧となった際に、一定のリファレンス電圧と前記コンデンサの充電電圧とを比較することにより監視対象の動作をリセットするための信号を発する電圧比較手段と、前記監視対象の電源電圧の監視を行い前記監視対象の電源電圧が一定以下となった際に、前記監視対象の動作をリセットする電源電圧判定手段と、を備えることを特徴とする監視回路である。

請求項 2 記載の発明は、コンデンサと、前記コンデンサを充電する充電手段と、前記コンデンサを放電する第 1 の放電手段と、前記コンデンサを放電する第 2 の放電手段と、前記コンデンサが充電されることによって一定以上の電圧となった際に、一定のリファレンス電圧と前記コンデンサの電圧を比較することにより監視対象の動作をリセットするための信号を発する電圧比較手段と、前記監視対象の電源電圧の監視を行い前記監視対象の電源電圧が一定以下となった際に、前記監視対象の動作をリセットする電源電圧判定手段と、を備えることを特徴とする監視回路である。

請求項 3 記載の発明は、前記電源電圧判定手段が比較器で、前記充電手段が電流源で構成されたことを特徴とする請求項 1 又は請求項 2 記載の監視回路である。

請求項 4 記載の発明は、前記第 1 の放電手段が電流源で、前記第 2 の放電手段がアナログスイッチで構成され、前記監視対象の電源電圧が一定以下となった際、前記第 1 及び第 2 のいずれか一方の、あるいは両方の放電手段を動作させることにより電圧比較手段の出力を反転させ前記監視対象をリセットすることを特徴とする請求項 2 又は請求項 3 に記載の監視回路である。

請求項 5 記載の発明は、前記第 1 の放電手段が電流源で、前記第 2 の放電手段が N 型 MOS トランジスタで構成されたことを特徴とする請求項 2 又は請求項 3 に記載の監視回路である。

請求項 6 記載の発明は、前記電圧比較手段がウィンドコンパレータで構成されたことを特徴とする請求項 1 ないし請求項 5 のいずれかに記載の監視回路である。

請求項 7 記載の発明は、前記電圧比較手段がヒステリシスコンパレータで構成されたことを特徴とする請求項 1 ないし請求項 5 のいずれかに記載の監視回路である。

請求項 8 記載の発明は、請求項 1 ないし請求項 7 のいずれかに記載の監視回路を備えることを特徴とする半導体装置である。

請求項 9 記載の発明は、前記コンデンサが半導体装置の外部に設けられた請求項 1 ないし請求項 7 のいずれかに記載の監視回路を備えることを特徴とする半導体装置である。

請求項 10 記載の発明は、請求項 8 または請求項 9 記載の半導体装置と、前記半導体装置によって監視されるマイコンと、を備える事を特徴とする電子機器である。

本発明の効果としては、マイコンを減電時においても安全にリセットし、マイコンのリセット解除状態の区間を一定の長さに保ち、リセット信号を所望のタイミングで発生させることができるため、マイコンをリセットするまでのタイムロスをなくすることができる。さらにマイコンを備える電子機器の制御をより正確なものとすることができる。

#### <図面の簡単な説明>

図 1 は、本発明第 1 の実施形態に係わる監視回路であり、

図 2 は、図 1 に示す監視回路の動作状態を示すグラフ((a)電源電圧 8 b, (b)マイコン 7 からの正常動作クロック, (c)比較器 5 とウィンドコンパレータ 4 からマイコン 7 へのリセット信号(ローでリセット), (d)ウィンドコンパレータ 4 で測定するコンデンサ 3 の電荷量, (e)ウィンドコンパレータ 4 の出力)であり、

図 3 は、本発明に係る第 2 の実施形態としての監視回路である。

図 4 は、図 3 に示す監視回路の動作状態を示すグラフで、(a)は電源電圧 8 b, (b)はマイコン 7 からの正常動作クロック, (c)は比較器 5 とウィンドコンパレータ 4 からマイコン 7 へのリセット信号(ローでリセット), (d)はウィンドコンパレータ 4 で測定するコンデンサ 3 の電荷量, また (e)はウィンドコンパレータ 4 の出力を各々示したものである。

なお、図中の符号、1 充電回路、2 a 定電流源、2 b N型MOSトランジスタ、3 コンデンサ、4 ウィンドコンパレータ、5 比較器、6, 9 ロ

ジック回路、7 マイコン、8 a, 8 b 電源電圧、10 a, 10 b, 10 c 抵抗、16 監視回路である。

＜発明を実施するための最良の形態＞

図1に本発明の構成に係る監視回路15を示す。同図において、コンデンサ3には充電回路としての電流源1および放電回路としての電流源2aが接続されており、該コンデンサ3は、ウィンドコンパレータ4の入力端子へ接続される。該ウィンドコンパレータ4の閾値は、電源電圧8aからの電位を抵抗10a, 10b, 10cにより分圧し、リファレンス電圧として設定される。ここで、ロジック回路6はウィンドコンパレータ4のリセット出力をマイコン7に伝達させるか、あるいはさせないように動作する。さらに、比較器5においてもマイコン7の電源電圧を監視しつつ、マイコン7の減電気時には該比較器5からマイコン7へとリセット信号が出力され、ロジック回路9へはコンデンサ3の電荷を放電するためのトリガー信号が伝達される。

監視回路15の動作について図2を用いて説明する。同図において、縦軸は電圧、横軸は時間を表しており、同図に示すグラフはそれぞれ(a)電源電圧8b, (b)マイコン7からの正常動作クロック, (c)比較器5とウィンドコンパレータ4からマイコン7へのリセット信号(ローでリセット), (d)ウィンドコンパレータ4で測定するコンデンサ3の電荷量, (e)ウィンドコンパレータ4の出力を示している。

図2の縦線(1)は、図1に示す本発明の監視回路15とマイコン7に電源が入ったタイミングを示している。

図2の縦線(2)は電源電圧8bが比較器5のハイ側の閾値電圧( $V_{DDth}$ )を上回ったので充電回路1が起動してコンデンサ3に電荷が蓄積され始めるタイミングを示している。またこのときマイコン7はリセット解除状態となる。

図2の縦線(3)はマイコン7が正常に動作しているときに監視回路15のロジック回路9に入力されるマイコン7からの正常動作クロックの入力のタイミングを示している。マイコン7からの正常動作クロックがロジック回路9に入力されると、充電回路1が停止して放電回路2aが起動されるためコンデンサ3の電

荷は放出される。

図 2 の縦線 (4) は、ウィンドコンパレータ 4 のハイ側の閾値電圧 ( $V_{Cth}$ ) をウィンドコンパレータ 4 で測定するコンデンサ 3 の電荷が上回ったタイミングを示している。マイコン 7 が正常に動作していないときはマイコン 7 からの正常動作クロックが従来の監視回路を構成するロジック回路に入力されないことからこの状態となる。このときのウィンドコンパレータ 4 の出力ハイ (H) はロジック回路 6 を介してマイコン 7 をリセットする。またこのウィンドコンパレータ 4 の出力 H によって充電回路 1 を停止しするとともに放電回路 2 a を起動する。

図 2 の縦線 (5) はウィンドコンパレータ 4 で測定するコンデンサ 3 の電荷がウィンドコンパレータ 4 のロー側の閾値電圧 ( $V_{Cth1}$ ) を下回ったタイミングを示している。このときウィンドコンパレータ 4 の出力はハイになり、このウィンドコンパレータ 4 の出力がロジック回路 6, 9 を介して放電回路 2 a を停止するとともに充電回路 1 を起動する。

図 2 の縦線 (6) は電源電圧 8 b が何らかの原因で比較器 5 のロー側の閾値電圧 (マイコン 7 が安全に動作するために必要な電圧  $V_{DDth1}$ ) を下回ったタイミングを示している。このとき比較器 5 の出力によってマイコン 7 がリセット状態になる。

図 1 に示す監視回路 15 は以上で説明したように、電源電圧がマイコンの安全な動作のために必要な電圧を下回った時マイコンにリセットをかけ、また、マイコンからの正常動作クロックが一定期間監視回路に入力されないときはマイコンが正常に動作していないものとしてマイコンにリセットをかける構成となっている。

この実施の形態によると、マイコンの減電時においてもマイコンを安全にリセットすることができる。

ところで図 1 に示す本発明の監視回路 15 は、図 2 に示す縦線 (7) と縦線 (8) の間に示す区間と、縦線 (9) と縦線 (10) の間に示す区間の長さが異なるように、マイコン 7 のリセット解除区間が異なる。これは、図 1 に示す本発明の監視回路 15 の電圧波形を示す図 2 の一点鎖線 A に示すごとく、電源電圧 8 b が正

常であり続けた場合で、かつマイコン 7 からの正常動作クロックが一定期間監視回路に入力されない場合は、コンデンサ 3 の電荷がウィンドコンパレータ 4 のハイ側の閾値電圧を上回ったときのみにウィンドコンパレータ 4 の出力によってマイコン 7 にリセットをかけるといった回路構成上の制約に起因する現象である。即ち、マイコン 7 のリセット解除区間で異なる区間が観測されるのは、電源電圧 8 b が正常であるときは、ウィンドコンパレータ 4 の出力の他には、マイコン 7 にリセットをかける手段はないということに原因がある。

しかしながら、電源電圧 8 b が正常であるときにおいて、マイコン 7 の正常動作時に出力されるはずの正常動作クロックが監視回路に到達していない時間を測定するためには、図 2 の一点鎖線 A に示すごとく、図 1 に示す監視回路のコンデンサ 3 の電荷がウィンドコンパレータ 4 のハイ側の閾値電圧を上回ったときだけマイコン 7 にリセットをかける構成を採用せざるを得ない。

また、図 2 の縦線 (7) に示すごとく、コンデンサ 3 の電荷がある程度高いときに電源電圧 8 b が復帰して比較器 5 のハイ側の閾値電圧を上回ると、ウィンドコンパレータ 4 より、あるいはロジック回路 6 より、マイコン 7 をリセット解除する信号を出力することがある。そしてこのリセット解除信号は電源電圧が正常である限りは、コンデンサ 3 の電荷がウィンドコンパレータ 4 のハイ側の閾値電圧を上回るまでそのままの状態となるのである。

これらのことから図 1 に示す本発明の監視回路 1 5 は、図 2 に示す縦線 (7) と縦線 (8) の間に示す区間と、縦線 (9) と縦線 (10) の間に示す区間が互いに長さが異なる区間であるように、異なるマイコン 7 のリセット解除区間が生成されるというアンバランスが生じる。

このアンバランスなリセット解除区間を是正するのが、本発明における第 2 の実施の形態である図 3 に示す監視回路 1 6 である。本実施の形態による監視回路は、図 1 に示す監視回路 1 5 に比較して、あらたな放電手段である放電回路 2 b を設け、コンデンサ 3 の電荷をスイッチング動作によって放出を行うものである。

図 3 に示す本発明に係わる監視回路 1 6 は、監視対象であるマイコン 7 の電源電圧 8 b (VDD) が、マイコン 7 が安全に動作するための電源電圧よりも下回



った減電時に、マイコン7を安全に終了させるためのマイコン7の電源電圧8bの監視と、マイコン7が正常に動作していない時間が一定時間を超えたときにマイコン7をリセットするための、正常動作クロックの到達間隔を測定している。マイコン7の電源電圧8bの監視は電源電圧判定手段である比較器5を用いることによって行い、また、正常動作クロックの間隔の監視は、充電手段である充電回路1と、放電手段である放電回路2aと放電回路2bを制御することによりコンデンサ3に蓄積された電圧を電圧比較手段であるウィンドコンパレータ4で測定して一定の時間を作り出し、正常動作クロックの到達を観測して行う。したがって、減電時ではなく、かつ正常動作クロックが図1に示す従来の監視回路に入力されているときは、マイコン7はリセットされることなく動作し続けることになる。なお同図においては監視回路の電源電圧にはマイコン7と異なる電源電圧8aが使用されている。

以下、図3に示す本発明に係わる監視回路の動作を、図4に示す本発明に係わる監視回路の電圧変動図を用いて説明する。なお、図4において、縦軸は電圧、横軸は時間を表しており、同図に示すグラフはそれぞれ（a）電源電圧8b，（b）マイコン7からの正常動作クロック，（c）比較器5からマイコン7へのリセット信号（ローでリセットの状態），（d）ウィンドコンパレータ4で測定するコンデンサ3の電荷量，（e）ウィンドコンパレータ4の出力、を示している。

図4の縦線（1）は、図3に示す従来の監視回路とマイコン7に電源が入ったタイミングを示している。

図4の縦線（2）は電源電圧8bが比較器5のハイ側の閾値電圧（ $V_{DD\ thh}$ ）を上回ったので充電回路1が起動してコンデンサ3に電荷が蓄積され始めるタイミングを示している。またこのときマイコン7はリセット解除状態となる。なお、比較器5のハイ側の閾値電圧と後述の比較器5のロー側の閾値電圧（ $V_{DD\ thl}$ ）は比較器5の出力を帰還して抵抗分割を行うことでヒステリシスを持たせて設定しているが、この手段に限られることはない。

図4の縦線（3）はマイコン7が正常に動作しているときに図3に示す本発明に係わる監視回路のロジック回路9に入力されるマイコン7からの正常動作クロッ

クの入力のタイミングを示している。マイコン 7 からの正常動作クロックがロジック回路 9 に入力されると、充電回路 1 が停止して放電回路 2 a が起動されるためコンデンサ 3 の電荷は放出される。

図 4 の縦線 (4) はウィンドコンパレータ 4 で測定するコンデンサ 3 の充電電圧がウィンドコンパレータ 4 のハイ側の閾値電圧 ( $V_{Cthh}$ ) を上回ったタイミングを示している。マイコン 7 からの正常動作クロックが本発明に関わる監視回路に入力されなければこの状態となる。このときのウィンドコンパレータ 4 の出力ハイ (H) はロジック回路 6 を介してマイコン 7 をリセットする。またこのウィンドコンパレータ 4 の出力 H によって充電回路 1 を停止するとともに放電回路 2 a を起動する。なおウィンドコンパレータ 4 のハイ側の閾値電圧と後述のウィンドコンパレータ 4 のロー側の閾値電圧 ( $V_{Cthl}$ ) は、それぞれウィンドコンパレータ 4 の電源電圧 8 a を抵抗 10 a、10 b、10 c で分圧することによって設定している。

図 4 の縦線 (5) はウィンドコンパレータ 4 で測定するコンデンサ 3 の電荷がウィンドコンパレータ 4 のロー側の閾値電圧 ( $V_{Cthl}$ ) を下回ったタイミングを示している。このときウィンドコンパレータ 4 の出力によって放電回路 2 a が停止するとともに充電回路 1 が起動される。

図 4 の縦線 (6) は負荷の変動やノイズ等の原因により電源電圧 8 b が比較器 5 のロー側の閾値電圧 ( $V_{DDthl}$ ) を下回ったタイミングを示している。このとき比較器 5 の出力によってマイコン 7 にリセットがかけられるとともに、比較器 5 の出力によって放電回路 2 b が起動してコンデンサ 3 の電荷を放出する。

以上で説明したように、図 3 に示す本発明に係わる監視回路 16 は、コンデンサ 3 の電荷が蓄積され、ウィンドコンパレータ 4 で検出する電圧が上がってウィンドコンパレータ 4 のハイ側の閾値電圧を上回ると、ウィンドコンパレータ 4 の出力によってマイコン 7 にリセットをかけ、また電源電圧 8 b が比較器 5 のロー側の閾値電圧を下回ったときは比較器 5 の出力によってマイコン 7 にリセットをかけるように動作するものである。すなわち、本発明に係わる監視回路は、マイコン 7 の正常動作クロックの間隔と、マイコン 7 の電源電圧 8 b の二つを監視する

ものである。

本発明に関わる監視回路は減電時に監視対象物の電源電圧が一定以上下がる度にコンデンサの電荷を放出する構成となっている。これによって図 3 に示す本発明に関わる監視回路の電圧波形図 4 は、図 1 に示す監視回路 15 の電圧波形図 2 と比較して、縦線（7）と縦線（8）の間のリセット解除区間が、縦線（9）と縦線（10）の間のリセット解除区間とほぼ同一となるのである。マイコンのリセット解除状態の区間を一定の長さに保つことで、リセット信号を所望のタイミングで発生させることができるため、マイコンをリセットするまでのタイムロスをなくすことができ、さらにマイコンを備える電子機器の制御をより正確なものとすることができる。

尚、本発明を詳細にまた特定の実施態様を参照して説明したが、本発明の精神と範囲を逸脱することなく様々な変更や修正を加えることができることは当業者にとって明らかである。

#### <産業上の利用可能性>

本発明に係わる監視回路は、該監視回路のみで、あるいは他の集積回路とともに封止されて半導体装置となり、該半導体装置は、監視対象であるマイクロコンピュータとともに電子機器に搭載される。電子機器とは、ここではテレビや冷蔵庫等のマイコンを備えるあらゆる電気製品を指す。

尚、本発明は、上述した実施形態に限られることなく、特許請求の範囲に記載した事項の範囲内でのあらゆる設計変更はすべて本発明の範囲に含まれる。例えば NMOS 2b の代わりにアナログスイッチなどが用いられてもよく、ウィンドコンパレータ 4 に変えてヒステリシスコンパレータが用いられても同一の目的を達成することができる。

## 請 求 の 範 囲

1. コンデンサと、前記コンデンサを充電する充電手段と、前記コンデンサを放電する放電手段と、前記コンデンサが充電されることによって一定以上の電圧となった際に、一定のリファレンス電圧と前記コンデンサの充電電圧とを比較することにより監視対象の動作をリセットするための信号を発する電圧比較手段と、前記監視対象の電源電圧の監視を行い前記監視対象の電源電圧が一定以下となった際に、前記監視対象の動作をリセットする電源電圧判定手段と、を備えることを特徴とする監視回路。

2. コンデンサと、前記コンデンサを充電する充電手段と、前記コンデンサを放電する第1の放電手段と、前記コンデンサを放電する第2の放電手段と、前記コンデンサが充電されることによって一定以上の電圧となった際に、一定のリファレンス電圧と前記コンデンサの電圧を比較することにより監視対象の動作をリセットするための信号を発する電圧比較手段と、前記監視対象の電源電圧の監視を行い前記監視対象の電源電圧が一定以下となった際に、前記監視対象の動作をリセットする電源電圧判定手段と、を備えることを特徴とする監視回路。

3. 前記電源電圧判定手段が比較器で、前記充電手段が電流源で構成されたことを特徴とする請求の範囲第1項又は2項記載の監視回路。

4. 前記第1の放電手段が電流源で、前記第2の放電手段がアナログスイッチで構成され、前記監視対象の電源電圧が一定以下となった際、前記第1及び第2のいずれか一方の、あるいは両方の放電手段を動作させることにより電圧比較手段の出力を反転させ前記監視対象をリセットすることを特徴とする請求の範囲第2項又は3項に記載の監視回路。

5. 前記第1の放電手段が電流源で、前記第2の放電手段がN型MOSトランジスタで構成されたことを特徴とする請求の範囲第2項又は第3項に記載の監視回路。

6. 前記電圧比較手段がウィンドコンパレータで構成されたことを特徴とする請求の範囲第1項又は2項に記載の監視回路。

7. 前記電圧比較手段がヒステリシスコンパレータで構成されたことを特徴とする請求の範囲第1項又は2項に記載の監視回路。

8. 前記コンデンサが半導体装置の外部に設けられた請求の範囲第1項又は2項に記載の監視回路を備えることを特徴とする半導体装置。

図 1

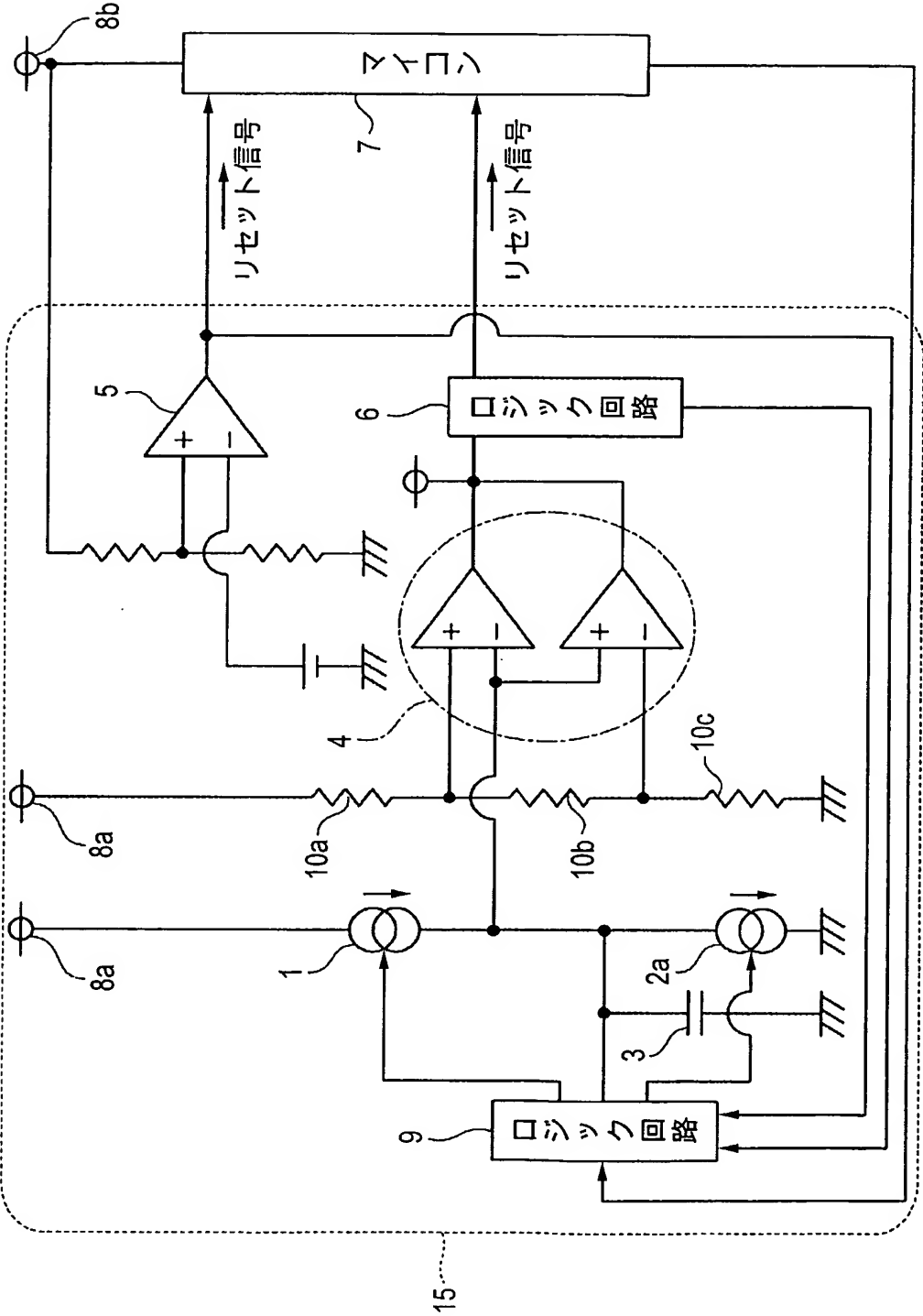


図 2

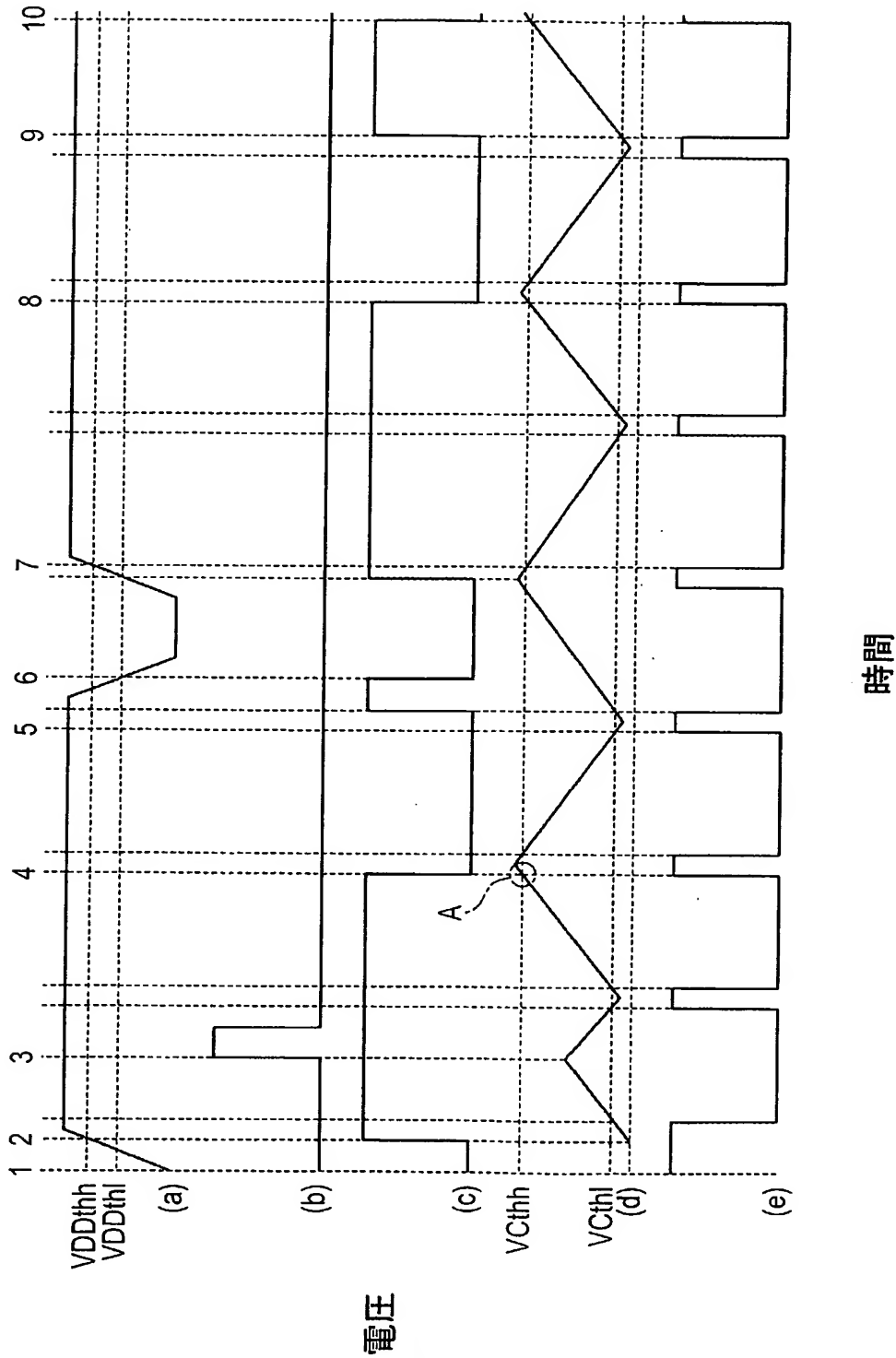


図 3

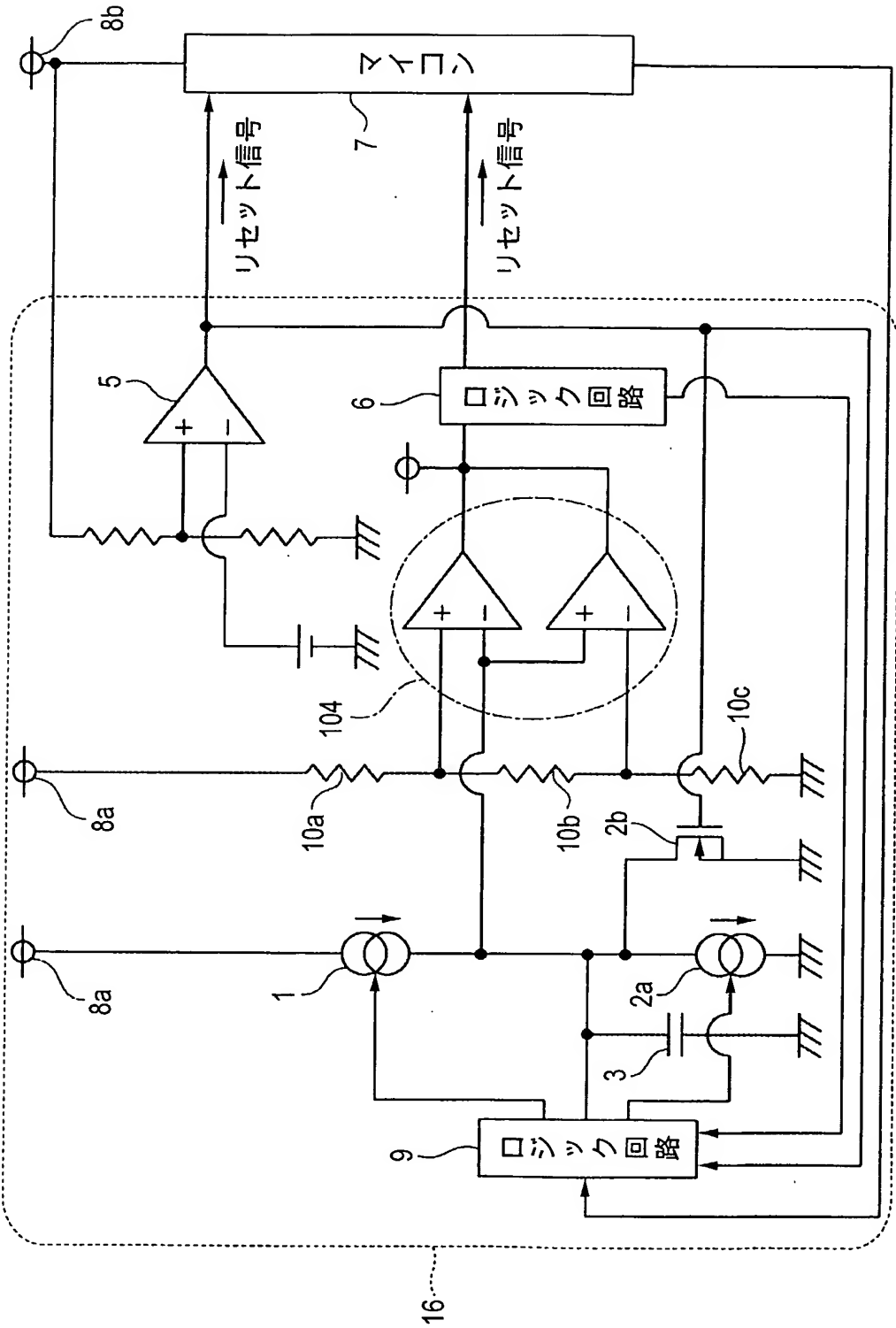
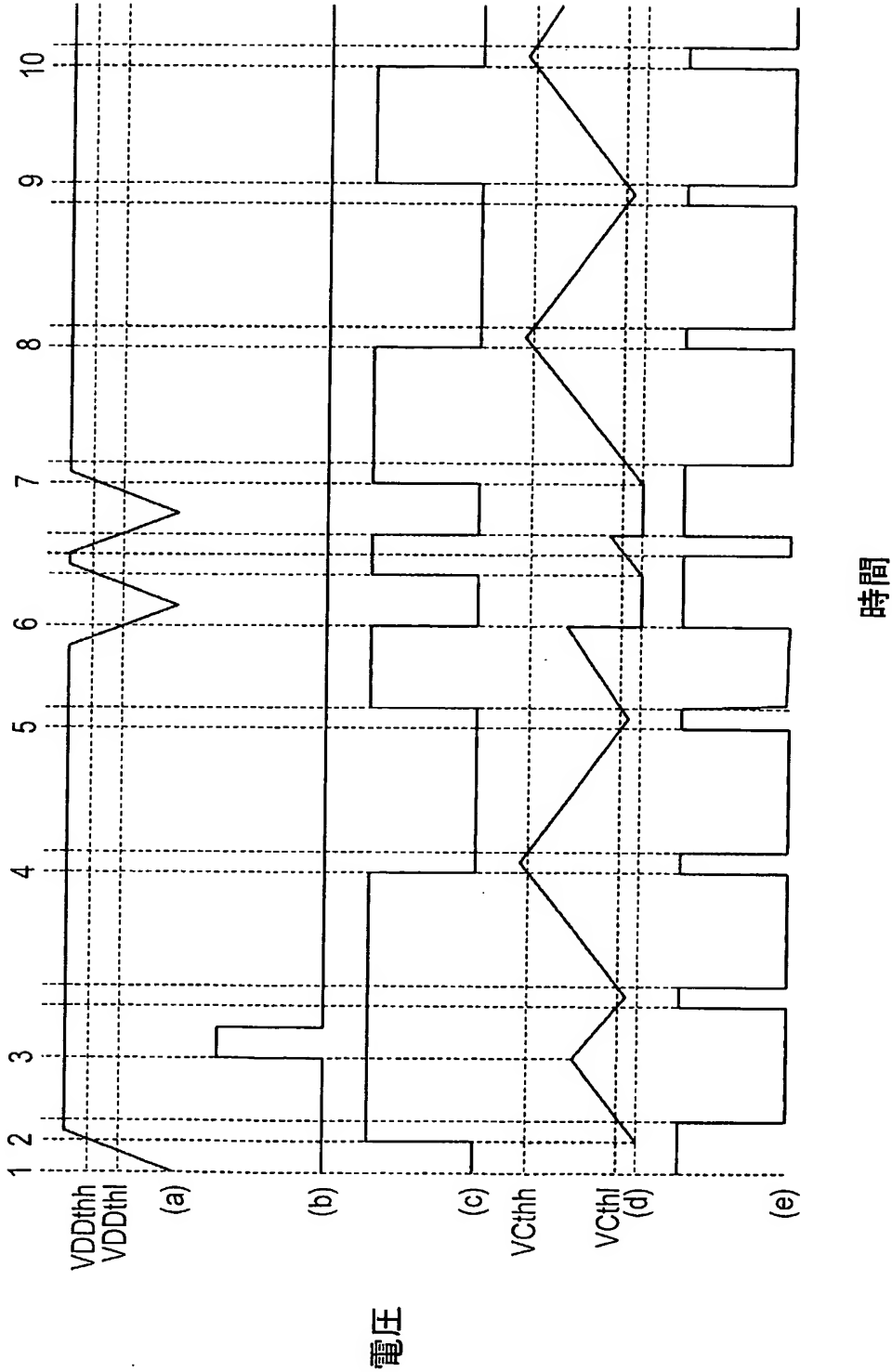




図 4



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019485

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F1/24, 11/30

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F1/24, 11/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 01-042746 A (Nippondenso Co., Ltd.), 15 February, 1989 (15.02.89), Page 2, lower left column, line 10 to page 4, upper right column, line 4; Figs. 1 to 2 (Family: none)	1-8
Y	JP 02-246612 A (Yokogawa Electric Corp.), 02 October, 1990 (02.10.90), Page 3, lower right column, line 14 to page 4, upper right column, line 3; Figs. 2 to 3 (Family: none)	1-8
Y	JP 2001-156610 A (NEC Corp.), 08 June, 2001 (08.06.01), Par. Nos. [0003] to [0004]; Figs. 3 to 4 (Family: none)	1-8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
11 April, 2005 (11.04.05)Date of mailing of the international search report  
26 April, 2005 (26.04.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F1/24, 11/30

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F1/24, 11/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 01-042746 A (日本電装株式会社) 1989. 02. 15, 第2頁左下欄第10行~第4行右上欄第4行, 第1図~第2図 (ファミリーなし)	1-8
Y	J P 02-246612 A (横河電機株式会社) 1990. 10. 02, 第3ページ右下欄第14行-第4ページ右上欄第3行, 第2-3図 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

11. 04. 2005

国際調査報告の発送日

26. 4. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂東 博司

電話番号 03-3581-1101 内線 3521

5 E

3 4 5 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2001-156610 A (日本電気株式会社) 2001.06.08, 段落【0003】-【0004】, 第3-4図 (ファミリーなし)	1-8